

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 01-170986

(43)Date of publication of application : 06.07.1989

(51)Int.Cl.

G09G 3/18

G02F 1/133

G02F 1/133

(21)Application number : 62-331765

(71)Applicant : HOSIDEN ELECTRON CO LTD

(22)Date of filing : 25.12.1987

(72)Inventor: YASUI MASARU

UENISHI NORIYOSHI

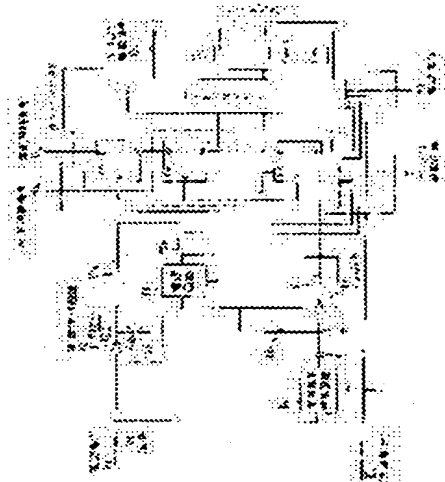
(54) LIQUID CRYSTAL DISPLAY ERASING METHOD AT POWER-OFF STATE

(57)Abstract:

PURPOSE: To clear an after image in a short time and to prevent the life and reliability of liquid crystal from deteriorating by detecting the power-off state of a power source holding circuit and holding the output of a gate but driving circuit at an active level at the same time for a prescribed time with the detection signal.

CONSTITUTION: The power source holding circuit 12 is provided which holds a source voltage V1 applied to an active liquid crystal display panel for a prescribed time even after the power source is turned off. A voltage V1b obtained by the power source holding circuit 12 is supplied to the gate bus driving circuit 7. Further, the power-off state is detected and the output of the gate bus driving circuit 7 is held at the active level at the same time for the prescribed time with the detection signal.

Consequently, an after-image is cleared in a short time and the life and reliability of the liquid crystal are prevented from deteriorating.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平1-170986

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 平成1年(1989)7月6日

G 09 G 3/18
G 02 F 1/133

3 3 0
3 3 2

8621-5C
C-8708-2H
8708-2H

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 電源オフ時の液晶表示消去方法

⑯ 特 願 昭62-331765

⑰ 出 願 昭62(1987)12月25日

⑱ 発 明 者 安 居 勝 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑲ 発 明 者 上 西 律 善 大阪府八尾市北久宝寺1丁目4番33号 星電器製造株式会社内

⑳ 出 願 人 星電器製造株式会社 大阪府八尾市北久宝寺1丁目4番33号

㉑ 代 理 人 弁理士 草 野 卓

明 細 書

1. 発明の名称

電源オフ時の液晶表示消去方法

2. 特許請求の範囲

液晶表示装置の電源オフ時にアクティブ液晶表示パネルの表示画素をクリアする方法であって、

上記アクティブ液晶表示パネルに供給される動作電源の電力を上記電源オフ後も所定時間保持する電源保持回路を設け、

その電源保持回路より得られる電力をゲートバス駆動回路に供給し、

上記電源オフを検出し、

その検出信号により、上記ゲートバス駆動回路の出力を所定時間同時にアクティブレベルに保持させることを特徴とする電源オフ時の液晶表示消去方法。

3. 発明の詳細な説明

「産業上の利用分野」

アクティブマトリクスタイプ液晶の如く、液晶表示パネル内部に記憶機能をもった表示器の表示

を、液晶表示装置の電源オフ時にクリアさせるようにした電源オフ時の表示消去方法に関する。

「従来の技術」

初めに従来のアクティブマトリクスタイプ液晶の表示パネルにつき簡単に説明する。第4図に示すように、液晶表示素子1においては液晶画素2がマトリクス(m行、n列とする)状に配列され、その表示電極2aがTFT(トランジスタ)3のドレインに接続される。TFT3のソース及びゲートは互に直交するソースバス4及びゲートバス5にそれぞれ接続される。液晶画素2には表示電極2aと対向して対向電極(共通電極とも言う)2bが形成されている。

ソースバス4を駆動するためにソースバス駆動回路6が設けられる。同回路には、第5図に示すように水平画素クロックCPH、水平同期信号Hs、交流化指令信号M及び図示していないが水平画素クロックCPHと同期して、水平方向に画素データ(論理"1"又は"0"を表わす2値符号)Dが液晶表示装置の本体側(図示せず)より供給さ

れる。ソースバス駆動回路6においては、各ソースバスドライバ6より液晶表示素子1の1行分の画素に表示させるべき信号 S_j ($j=1\sim n$) が1水平時間(1H)毎に各ソースバス4に一齐に出力される。この信号 S_j はソースバス駆動信号とも言われ、第5図Dに示す如く、画素データDの“1”及び“0”に応じてそれぞれ E_{1j} 及び E_{2j} (M-1のフィールドの場合)又は E_{1j} 及び E_{2j} (M-0のフィールドの場合)の電圧をもつ信号である。ここで $E_{2j}=(E_{1j}+E_{3j})/2$ とされる。ソースバス駆動回路6には動作電源として、液晶表示装置本体より直流電圧 E_1 、 E_2 、 E_3 及び共通電位EG(ゼロボルト)が供給される。上記ソースバス駆動信号 S_j のとりレベル E_{1j} 、 E_{2j} 、 E_{3j} はそれぞれこれら電源電圧 E_1 、 E_2 、 E_3 にほぼ等しい。即ち理想的には $E_{1j}=E_1$ ($j=1\sim 3$)である。液晶表示素子1にも本体より共通電位EGが与えられると共に各画素の対向電極2bには共通に上記電圧 E_3 に応じた電圧が与えられる。共通電位EG(ゼロボルト)

と電圧 E_1 、 E_2 、 E_3 の大小関係は例えば $E_1>EG>E_2>E_3$ とされる。

ゲートバス駆動回路7は、ゲートバス5₁~5_mを順次1水平時間(1H)の間高レベルに駆動し、1行分のTFTを第1行から第m行迄順次オンさせる。これによりソースバス駆動信号 S_j ($j=1\sim n$)は対応する画素に印加される。同回路は主にm段のシフトレジスタ8とゲートバスドライバ9とで構成される。装置本体より垂直同期信号V₁(第5図E)がスタート信号として第1段のシフトレジスタのデータ端子Dに供給され、また水平同期信号H₁が各段のクロック端子CKに供給される。スタート信号が1水平時間ずつ順次遅延されたパルスが各段の出力端子Qより出力されてゲートバスドライバ9に与えられる。ゲートバスドライバ9では入力された上記パルスがレベル変換され、各段のパルスの高レベル、低レベルに対応してそれぞれ電圧レベルが V_{1j} 、 V_{2j} のゲートバス駆動信号 G_1 ~ G_m (第5図F)がゲートバス5₁~5_mに出力される。装置本体より動作

電源として電源電圧 V_1 、 V_2 がシフトレジスタ8及びゲートバスドライバ9に供給され、また電源電圧 V_3 がゲートバスドライバ9に供給される。これら各電圧の大小関係は $V_1>V_2>V_3$ であり、 $V_1-V_3=5$ ボルトに設定される場合が多い。上記ゲートバス駆動信号 G_j の高レベル V_{1j} 及び低レベル V_{2j} はそれぞれ電源電圧 V_1 、 V_2 にほぼ等しい。(理想的には全く等しいものである。)

ところで、任意の時点で表示画面をクリアするには装置本体より各画素の表示を無くすための1画面分(m行分)の論理“0”の画素データが与えられ、ソースバス駆動回路6より電圧 E_{2j} のm行分の信号が1水平時間毎に順次各ソースバス4に一齐に与えられ、一方ゲートバス駆動回路7により各行のゲートバス5_jが順次1水平時間ずつ高レベルとされて、1画面(1フィールド)の表示がクリアされる。即ち画面表示をクリアするには少くともmH(Hは1水平時間)の時間が必要とされる。

いままで画素表示させていた表示装置の使用を

停止する場合には、通常は特に上記の画面クリアの操作は行われずに表示装置本体の電源スイッチがオフに操作される。これにより液晶表示パネルに供給されていた各種の信号は消滅し、各種の電源電圧も短時間で共通電位(アースの電位)におとされる。ゲートバスドライバの出力 G_j も消滅し、共通電位におとされる。従って液晶表示素子1の全てのTFTはオフとされ、画素容量に蓄えられていた電荷は外部放電経路が遮断されるため、比較的長時間保持される。しかし、その電荷はいずれ自己放電によって、ゆっくりではあるが次第に減少し、表示画像は次第にクリアされる。

「発明が解決しようとする問題点」

以上述べたように、電源オフ時には、画素容量に電荷を蓄積させた状態でTFTがオフとされるので、この蓄積電荷は長時間に亘り保持される。そのため表示画面に残像が残り、表示品位を損なうことになる。またこのように画素に電荷をためたままで放置することは、液晶に直流電圧をかけたままとすることであるから、液晶の寿命を低下さ

せ、信頼性を損なうこととなる。

この発明の目的は、電源オフ時に画素容量の電荷を放電させるようにして、残像を短時間でクリアさせると共に、液晶の寿命及び信頼性の低下を防止しようとするものである。

「問題点を解決するための手段」

この発明は液晶表示装置の電源オフ時にアクティブ液晶表示パネルの表示画像をクリアする方法であって、アクティブ液晶表示パネルに供給される動作電源の電力を上記電源オフ後も所定時間保持する電源保持回路が設けられ、その電源保持回路より得られる電力がゲートバス駆動回路に供給される。また上記電源オフが検出され、その検出信号により上記ゲートバス駆動回路の出力は所定時間同時にアクティブレベルに保持される。

「実施例」

この発明を適用した液晶表示パネルの要部の回路図を第1図に第4図と対応する部分には同じ符号を付して示し、重複説明は省略する。ソースバス駆動回路6及び液晶表示素子1は第4図と同じ

信号G₁の低レベルの電圧V_{LL}にほぼ等しい)が供給され、また図示していないがソースバス駆動回路6に電圧E₁、E₂、E₃が供給され、液晶表示素子1の対向電極2bに電圧E₄が供給されている。

いま時間t₁において表示装置本体の電源スイッチをオフに操作したとすれば、電圧V₁は時間t₁の時点でゼロボルト(共通電位)に立下がる(第2図A)。しかし、電源保持回路12の出力電圧V₁₁は大きな時定数C₁R₁(C₁はコンデンサ12の容量、R₁は電源保持回路12の負荷抵抗)でゆっくりと降下する(第2図C)。一方、電圧V₁の電圧降下が電圧降下検出回路14で検出され、同回路は例えば標準値の20%降下した時点t₂でそれまで高レベルであった出力を低レベルに変化させる(第2図B)。電圧降下検出回路14の出力はコンデンサ15、抵抗器16を順次介して電源保持回路12の出力側に接続され、コンデンサ15と抵抗器16との接続点Fはインバータ17の入力端子に接続される。接続点Fの

であるので省略している。

この発明においては第1図に示すように、液晶表示装置本体より端子21に供給される電源電圧V₁(従来例の電圧V₁と同じ)によりダイオード12aを介して大容量のコンデンサ12bを充電すると共にゲートバス駆動回路7に供給するようにする。これらのダイオード12a及びコンデンサ12bは電源がオフされた後も所定時間電力を保持して負荷に供給するための電源保持回路12を構成するものである。電源保持回路12の出力電圧V₁₁が入力電圧V₁より低下し不都合である場合はその低下分だけ入力電圧V₁を大きくするか或いは電源保持回路の入力側にDC-DCコンバータを設けて入力電圧を昇圧するようにしてもよい。電源保持回路12の出力は電源回路13にも供給され、電源回路13では従来装置本体側より供給されていた電源電圧V₁に代るべき電圧V₁₁が作成されて、ゲートバス駆動回路7に供給される。その他の電圧は従来例と同じであってゲートバス駆動回路7に電圧V₁(ゲートバス駆動

電圧V₁は時間t₂で降下した後C₁R₁の時定数(C₁、R₁はそれぞれコンデンサ15及び抵抗器16の定数)で電源保持回路12の出力電圧V₁₁に漸近する(第2図C)。

インバータ17には動作電源として上記電圧V₁₁及びV₁₁が供給され、電圧V₁₁も第2図Cに示すように、時間t₁以降電圧V₁₁と共にゆっくりとした時定数で共通電位に降下する。インバータ17のスレッシュホールドレベルV₁₁が第2図CのようにV₁₁とV₁₁との間のレベルに設定してあるので、インバータ17の入力電圧V₁がスレッシュホールドレベルV₁₁以下となる時間幅T(t₂~t₃)の間、インバータ17より高レベルの出力V₁が出力される(第2図D)。インバータ17の出力V₁の波形は時間幅Tにおいては電圧V₁₁の波形にほぼ等しく、それ以外の時間では電圧V₁₁にほぼ等しい。インバータ17の出力V₁のパルス幅Tは液晶表示パネルに供給される電源電圧E₁、E₂、E₃、V₁、V₁が電源オフ時に共通電位に立下る迄の時間よりやや大きく設定される。

インバータ17の出力 V_1 はシフトレジスタ8の各段のプリセット端子Pに供給され、各段のQ出力はT時間の間高レベル(ほぼ V_{1H} に等しい)とされ、ゲートバスドライバ9の出力 $G_1 \sim G_n$ も高レベル(TFTをアクティブにするレベルであればよく、この場合はほぼ V_{1H} に等しい)とされる。従来例で述べた液晶表示素子1の全てのTFTはT時間の間一斉にオンとされ、従って各画素の表示電極2aはTFTを通じてソースバスドライバ6aに電氣的に接続される。ソースバスドライバ6aは動作電源電圧 E_1, E_2, E_3 が共通電位に立下るとはほぼ同時にその出力端子の電位が共通電位となるように構成されている。即ち、ソースバス駆動信号 $S_1 \sim S_n$ がT時間以内に共通電位に立下るようにされている。表示電極2a及び対向電極2b(対向電極には電圧 E_4 が供給されている。)には共にT時間以内に共通電位が与えられ、画素容量に蓄積されていた電荷はT時間の終了迄には全て放電される。即ち時間Tは画素容量の電荷が放電するのに必要な時間を含んだ

時間である。

第3図は他の実施例を示すもので、シフトレジスタ8とゲートバスドライバ9との間にオア回路20を設け、オア回路20の各素子的一方の入力にシフトレジスタ8の各段の出力を供給し、他方の入力にインバータ17の出力 V_1 を供給し、各素子の出力をゲートバスドライバ9に供給するようにしている。ゲートバスドライバ9は入力 V_1 のT時間のパルス幅の間高レベルの信号 $G_1 \sim G_n$ を出力する。

「発明の効果」

この発明によれば、液晶表示装置の電源オフが自動的に検出され、その検出信号に基づき、画素容量の蓄積電荷が短時間で放電できるように液晶表示素子のTFTが所定時間オンに保持される。従って残像は短時間でクリアされると共に液晶の寿命及び信頼性の低下が防止される。

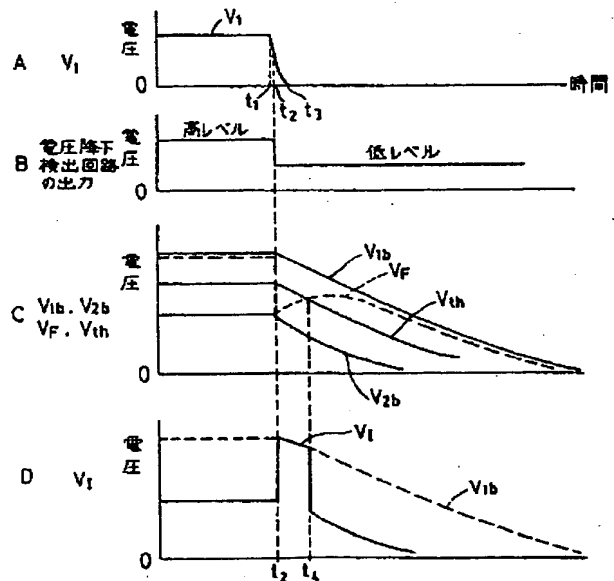
4. 図面の簡単な説明

第1図はこの発明の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第2図は第1

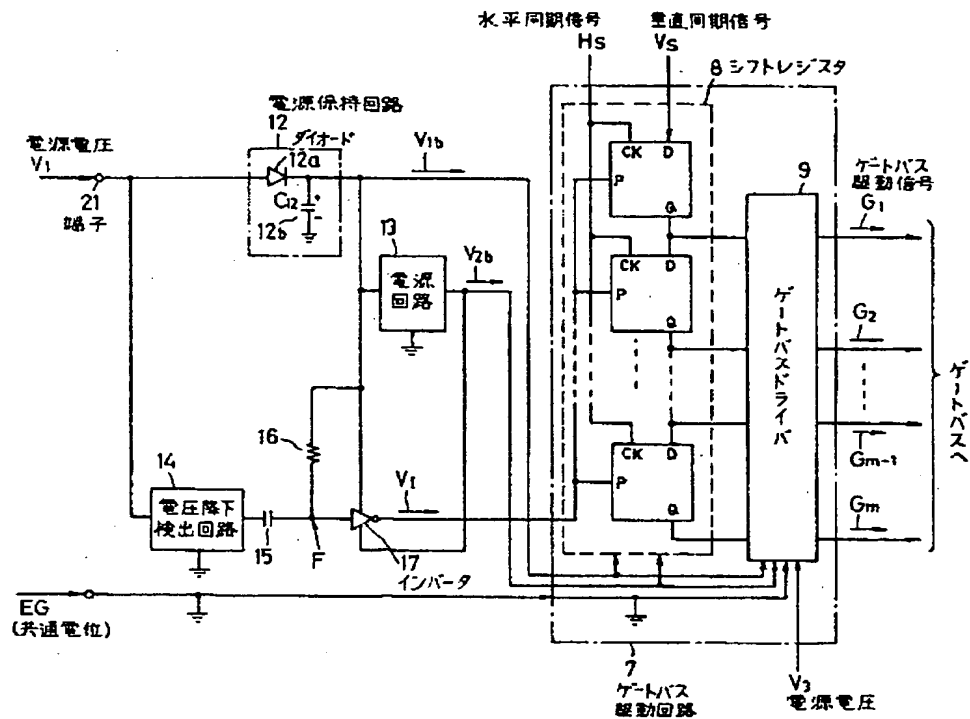
図の要部の信号波形図、第3図はこの発明の他の実施例を示すアクティブ液晶表示パネルの要部を示す回路図、第4図は従来のアクティブ液晶表示パネルの回路図、第5図は第4図の要部の信号波形図である。

特許出願人 三星電器製造株式会社
代理人 草野 卓

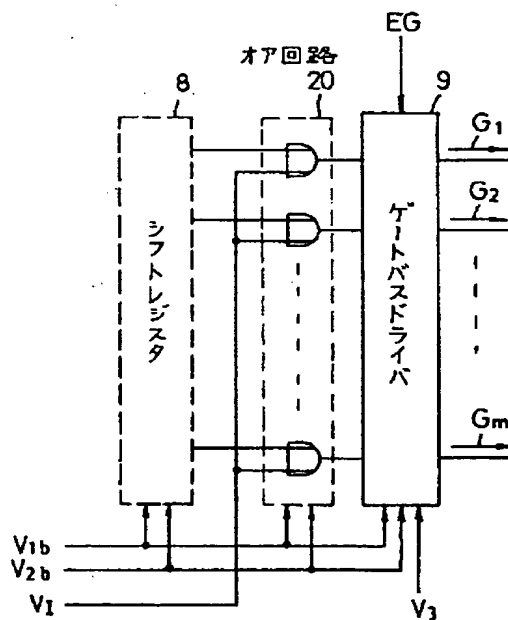
オ 2 図



オ 1 図



オ 3 図



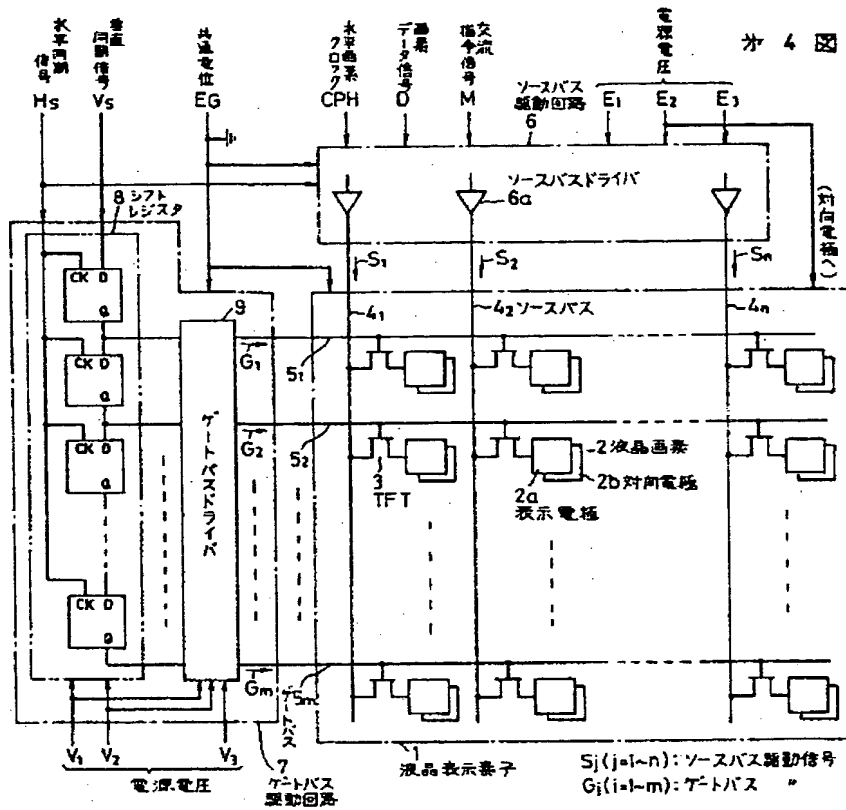


図 5

